



D12_x 数据手册

Version 1.3

修订日期：2024-04-25

版权声明

本文档是匠芯创科技（“ArtInChip”）的原创作品，匠芯创科技拥有该文档的全部版权。全部或部分复制必须获得匠芯创科技的书面批准，并向版权所有人明确确认。凡侵犯本公司版权等知识产权的，本公司将保留依法追究其法律责任的权利。

在法律允许的范围内，在此声明：使用前请仔细阅读合同条款和条件以及相关说明，并严格遵守本文档中的说明。匠芯创科技不对不当行为的后果（包括但不限于电压过高、超频或温度过高）承担任何责任。

匠芯创科技提供的信息仅作为参考或典型应用，本文档中的所有声明、信息和建议不构成任何明示或暗示的担保。匠芯创科技保留随时更改电路设计和/或规格的权利，恕不另行通知。

客户应全权负责获得实施解决方案/产品可能需要的第三方许可，匠芯创科技不承担任何与第三方许可相关的许可费或特许权使用费。对于任何要求的第三方许可证所涵盖的事项，匠芯创科技不承担任何保证、赔偿或其他义务。

凡以任何方式直接或间接使用本文档资料者，视为自愿接受本文档声明的约束。

修订记录

版本	章节	修订说明
V1.3	-	统一了格式风格。
	功能特性	更新了功能特性的描述。
	产品对比	新增 D122BCV Sip 16MB PSRAM 产品型号

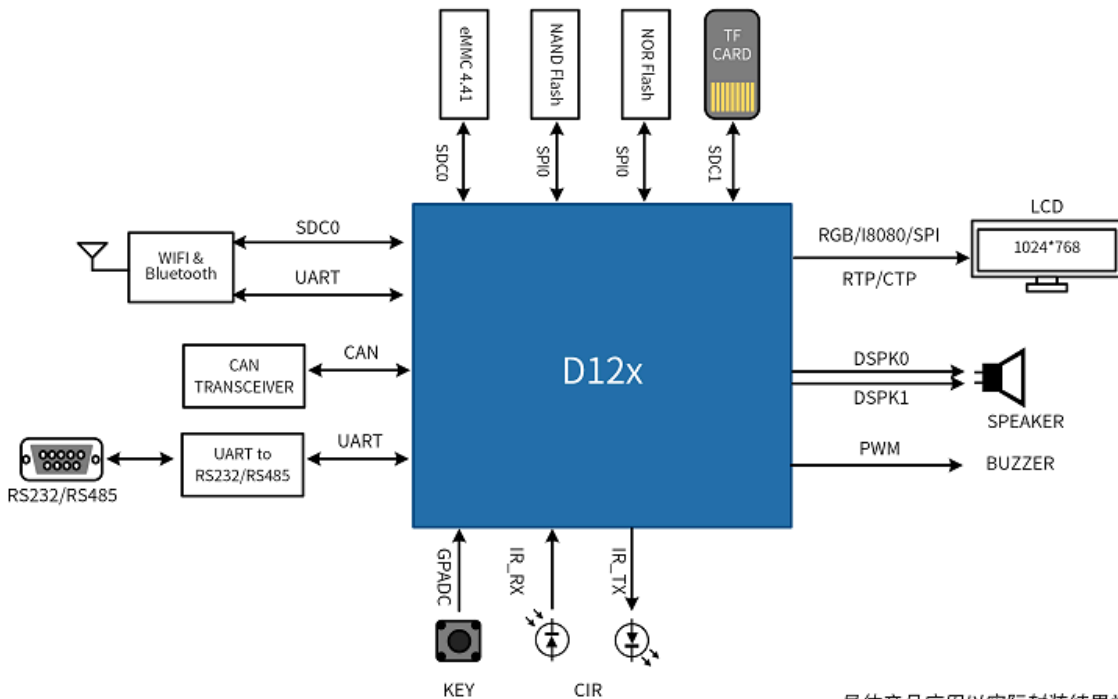
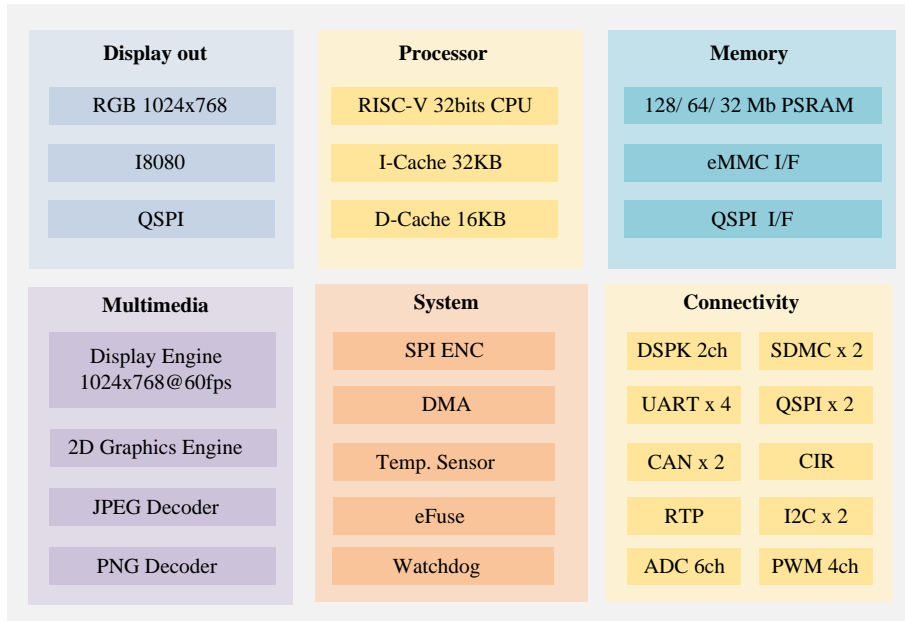
ArtInChip

内容

版权声明.....	ii
修订记录.....	iii
1. 简介.....	1
2. 功能特性.....	1
3. 产品对比.....	1
4. 电气特性.....	1
4.1. 运行条件.....	1
4.1.1. 最大极限值.....	1
4.1.2. 建议运行条件.....	1
4.2. 上下电时序及复位.....	1
4.2.1. 上下电时序.....	1
4.2.2. 复位源.....	1
4.3. 内置 LDO 电气特性.....	1
4.3.1. LDO25.....	1
4.3.2. LDO18.....	1
4.3.3. LDO1x.....	2
4.4. IO 电气特性.....	2
4.4.1. IO DC 特性.....	2
4.4.2. IO AC 特性.....	2
5. 封装信息.....	1
5.1. 引脚分布.....	1
5.1.1. D12x QFN68.....	1
5.2. 引脚属性.....	1
5.3. 引脚复用.....	4
5.3.1. D12x 功能复用.....	4
5.3.2. D12x QFN68 封装引脚说明.....	5
5.3.3. D121 QFN68 封装功能复用表.....	5
5.3.4. D122 QFN68 封装功能复用表.....	7
5.4. 引脚描述.....	9
5.5. 封装尺寸.....	11

1. 简介

D12x 是一款基于 RISC-V 的高性能、国产自主、工业级高清显示与智能控制 MCU，配备强大的 2D 图形加速处理器、PNG/JPEG 解码引擎、丰富的接口，支持工业宽温，具有高可靠性、高开放性，可广泛应用于工业自动化控制、串口屏等智慧工业和智慧家居领域。



具体产品应用以实际封装结果为准

ArtInChip

2. 功能特性

• CPU 内核

- 单核 E907, RV32IMAFC 指令架构, 400 MHz@1.1V
- 一级指令缓存 32KB, 一级数据缓存 16KB
- 物理内存保护 (PMP)
- 核内中断 CLINT 和中断控制器 CLIC, 支持中断嵌套
- 机器模式和用户模式
- 标准 2 线 JTAG 调试接口

• 系统启动

- 默认按 SD Card (SDMC1) → NOR (SPI0) → NAND (SPI0) → eMMC (SDMC0) 顺序扫描启动
- 可通过烧写 eFuse 改变并固定启动介质

• 系统安全

- SPI 总线加密模块 (SPI ENC), 支持 SPI NAND/SPI NOR 在线解密
- 数据校验引擎 (DCE), 支持 CRC-32 多项式和累加和两种方式
- 内置 eFuse 512 bits, 其中 128 bits 供用户自定义使用

• 片内存储

- 32 KB BROM
- 32 KB SRAM
- PSRAM 以下规格可选:
 - 128 Mb, 16-bit 位宽, 最高频率 200 MHz DDR
 - 64 Mb, 16-bit 位宽, 最高频率 200 MHz DDR
 - 32 Mb, 8-bit 位宽, 最高频率 200 MHz DDR
- PSRAM 时钟支持展频功能

• 存储接口

- QSPI 支持 SPI NOR Flash / SPI NAND Flash
 - 支持单/双/四数据线
 - 支持最大速率 SDR 100 MHz
- eMMC 4.41/SD 3.01/SDIO 3.0, 总共两套
 - eMMC 4 数据线, 支持 SDR25/SDR50/DDR50 模式
 - SD 卡, 支持 SDR25/SDR50 模式
 - 支持最大速率 DDR 50 MHz, 仅支持 3.3 V IO 电压

• 图像引擎

◦ DE 显示引擎:

- 支持一个 UI 图层, 最高性能 1024x768@60fps
- 支持抖动、伽马及色彩矩阵调整

◦ GE 图像引擎:

- 支持 2D 图形加速, 最大性能 1080P@60fps
- 支持水平和垂直翻转, 90/180/270 度旋转
- 支持 RGB 格式任意角度旋转和不同扫描顺序
- 支持 1/16x ~ 16x 缩放, 采用 bilinear 滤波算法
- 支持命令队列

◦ VE 视频编解码:

- JPEG 解码器, 最高性能 720P@60fps
- PNG 解码器, 最高性能 720P@60fps

• 显示接口

- 支持 24-bit 并口 RGB, 最高性能 1024 x 768@60fps
- 支持 SRGB/I8080/QSPI 屏接口
- 支持展频功能

• 音频接口

- 两路数字 PWM 输出 (DSPK), 支持两路单端输出左右声道, 支持一路差分输出单声道

• 通用接口

- 两路 QSPI, 支持单/双/四数据线, 支持 Master
- 四路 UART, 支持 2 线/3 线/4 线接口, 兼容工业标准 16550
- 两路 I2C, 支持 7 bits 和 10 bits 寻址, 最高速率 400 Kb/s
- 两路 CAN, 支持 CAN2.0A 和 CAN2.0B, 可编程通信速率最高 1 Mbps
- 一组 CIR, 支持红外输入和红外输出
- 五组 GPIO 总共 60 个 IO, 支持每个 IO 独立配置:

- 可选无上下拉/上拉 33 K Ω /下拉 33 K Ω
- 输出驱动八个档位可调
- 输入支持二级去抖和中断
- 数据输出寄存器支持位操作

• 计数器

- GTC 通用计时器
 - 支持 52 位计时器，提供系统心跳时钟，计时周期大于 35 年
 - 支持调试模式下可配置为暂停计时或继续计时
- WDOG 看门狗
 - 支持中断和复位，超时时间 1 毫秒 ~ 37 小时可配置
 - 支持调试模式下可配置为暂停计时或继续计时
 - 支持硬件写保护机制
- PWM
 - 内置 16-bit 计数器
 - 最大可支持四路独立 PWM 或两路互补 PWM
- 模拟
 - 内置 6 通道 12-bit GPADC，采样速率为 1 Msps
 - 集成 RTP 电阻触摸屏接口
- 时钟和电源管理
 - 芯片时钟源
 - 支持无晶体方案，使用内置 OSC24M，精度 $\pm 2\%$
 - CMU 内置四个 PLL：
 - PLL_INT0 用于 CPU 单独使用
 - PLL_INT1 用于总线，内部模块，及低速接口模块使用
 - PLL_FRA0 用于存储接口模块使用，支持展频
 - PLL_FRA2 用于屏输出模块使用，支持展频
 - SYSCFG 内置三个 LDO：
 - LDO25 (2.5 V 100 mA)，用于系统复位启动、ADC 供电、eFuse 供电
 - LDO18 (1.8 V 100 mA)，可用于 PSRAM IO 和 PSRAM 颗粒供电
 - LDO1x (1.0 ~ 1.375 V 200 mA，每档 25 mV)，可用于 VDD11_SYS 供电
 - 内置 THS 温度传感器，支持高低温中断报警和过温复位芯片

3. 产品对比

表 3-1 产品型号信息

型号	特性	封装	温度 (Tj)
D121BBV	8 MB PSRAM, 无 CAN	QFN68, 7 x 7 x 0.85 mm, 0.35 mm 间距	-20 至 +105 °C
D121BAV	4 MB PSRAM, 无 CAN	QFN68, 7 x 7 x 0.85 mm, 0.35 mm 间距	-20 至 +105 °C
D122BCV	16 MB PSRAM, 带 CAN	QFN68, 7 x 7 x 0.85 mm, 0.35 mm 间距	-20 至 +105 °C
D122BBV	8 MB PSRAM, 带 CAN	QFN68, 7 x 7 x 0.85 mm, 0.35 mm 间距	-20 至 +105 °C
D122BAV	4 MB PSRAM, 带 CAN	QFN68, 7 x 7 x 0.85 mm, 0.35 mm 间距	-20 至 +105 °C

表 3-2 产品规格对比

项目	D121BBV	D121BAV	D122BCV	D122BBV	D122BAV
内核	E907 400MHz@1.1V	E907 400MHz@1.1V	E907 400MHz@1.1V	E907 400MHz@1.1V	E907 400MHz@1.1V
内存	32 KB SRAM 8 MB PSRAM	32 KB SRAM 4 MB PSRAM	32 KB SRAM 16 MB PSRAM	32 KB SRAM 8 MB PSRAM	32 KB SRAM 4 MB PSRAM
安全	支持	支持	支持	支持	支持
RGB	x 1	x 1	x 1	x 1	x 1
RTP	x 1	x 1	x 1	x 1	x 1
SD 3.01	x 1	x 1	x 1	x 1	x 1
eMMC 4.41/ SDIO 3.0	x 1	x 1	x 1	x 1	x 1
CAN	-	-	x 2	x 2	x 2
CIR	x 1	x 1	x 1	x 1	x 1
DSPK	x 2	x 2	x 2	x 2	x 2
SPI	x 2	x 2	x 2	x 2	x 2
UART	x 4	x 4	x 4	x 4	x 4
I2C	x 2	x 2	x 2	x 2	x 2
PWM	x 2 (4 ch)	x 2 (4 ch)	x 2 (4 ch)	x 2 (4 ch)	x 2 (4 ch)

4. 电气特性

4.1. 运行条件

4.1.1. 最大极限值

符号	描述	最小值	最大值	单位
Tstg	储存温度	-40	125	°C
VCC33_IO	GPIO 电源	-0.3	3.6	V
VDD11_SYS	内核及系统电源	-0.3	1.32	V
Iio	IO 输入输出电流	-55	60	mA

4.1.2. 建议运行条件

符号	描述	最小值	典型值	最大值	单位
Tj	结温	-20	-	105	°C
Ta	环境温度	-20	-	85	°C
VCC33_IO	GPIO 电源	3.0	3.3	3.6	V
VDD11_SYS	内核及系统电源	0.99	1.1	1.21	V

4.2. 上下电时序及复位

4.2.1. 上下电时序

VCC33_IO 和 VDD11_SYS 无上下电时序要求。

4.2.2. 复位源

芯片系统有以下几种复位源，任何一种复位条件成立，会对芯片产生复位：

- 系统上电复位：在 VCC33_IO 和 VDD11_SYS 上电后产生复位，上电 10 ms 内系统自动放开此复位。
- 外部引脚复位：引脚 RESETN 输入低电平并持续 2 ms 以上产生复位。
- 调试器复位：在接收到 JTAG IO 上的 RESET 命令后立即产生复位。
- 看门狗复位：通过软件使能后，在 WDOG 超时复位条件满足下立即产生复位。
- 过温复位：通过软件使能后，在 THS 温度超过设定值时立即产生复位。

4.3. 内置 LDO 电气特性

4.3.1. LDO25

内置 LDO25，电压可配置，用于系统模拟及 GPADC/ eFuse 供电，其电气特性描述如下：

符号	描述	最小值	典型值	最大值	单位
V _o	输出电压	2.4	2.5	3.1	V
I _o	输出电流	-	-	100	mA
C _o	外部去耦电容	-	1	-	μF

4.3.2. LDO18

内置 LDO18，电压可配置，可用于 PSRAM IO 和 PSRAM 颗粒供电，其电气特性描述如下：

符号	描述	最小值	典型值	最大值	单位
V _o	输出电压	1.71	1.8	1.92	V

符号	描述	最小值	典型值	最大值	单位
I _o	输出电流	-	-	100	mA
C _o	外部去耦电容	-	1	-	uF

4.3.3. LDO1x

内置 LDO1x，电压可配置，可用于 VDD11_SYS 供电，其电气特性描述如下：

符号	描述	最小值	典型值	最大值	单位
V _o	输出电压	1.0	1.1	1.375	V
I _o	输出电流	-	-	200	mA
C _o	外部去耦电容	-	1	-	uF

4.4. IO 电气特性

4.4.1. IO DC 特性

符号	描述	最小值	典型值	最大值	单位
V _{IH}	高电平输入电压	$0.7 * VCC33_IO$	-	$VCC33_IO + 0.3$	V
V _{IL}	低电平输入电压	-0.3	-	$0.3 * VCC33_IO$	V
R _{PU}	上拉电阻	-	33	-	KΩ
R _{PD}	下拉电阻	-	33	-	KΩ
I _{IH}	高电平输入电流	-	-	10	uA
I _{IL}	低电平输入电流	-	-	10	uA
V _{OH}	高电平输出电压	$VCC33_IO - 0.3$	-	$VCC33_IO$	V
V _{OL}	低电平输出电压	0	-	0.3	V
I _{OH}	高电平驱动能力	8	-	60	mA
I _{OL}	低电平驱动能力	8	-	55	mA
I _{OZ}	三态输出漏电流	-10	-	10	uA
C _{IN}	输入电容	-	-	5	pF
C _{OUT}	输出电容	-	-	5	pF

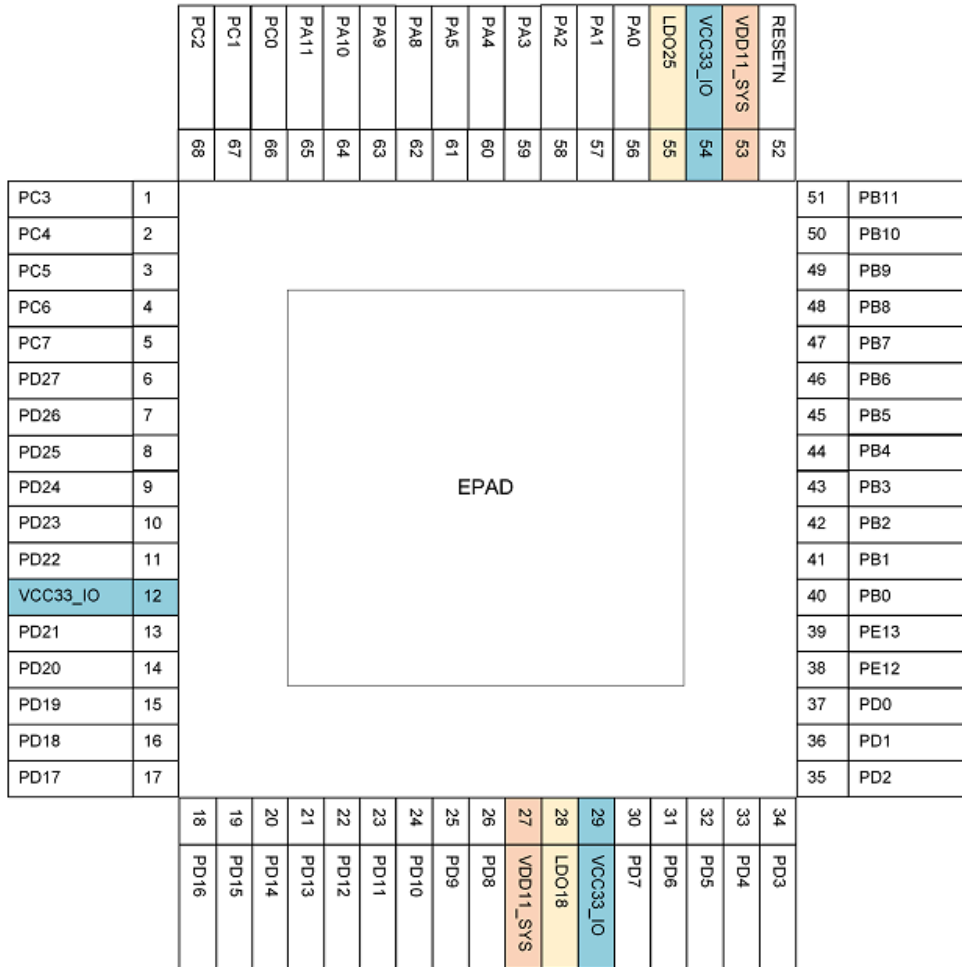
4.4.2. IO AC 特性

符号	描述	测试条件	最小值	典型值	最大值	单位
f _{max}	最大频率	负载 6 pF	-	-	150	MHz
t _r	上升时间	VOL 到 VOH 时间	-	-	1.6	ns
t _f	下降时间	VOH 到 VOL 时间	-	-	1.6	ns

5. 封装信息

5.1. 引脚分布

5.1.1. D12x QFN68



5.2. 引脚属性

注:

- [1]: 芯片封装引脚序号。
- [2]: 芯片封装引脚名称。
- [3]: 类型，指示信号方向。
 - I——输入；
 - O——输出；
 - I/O——输入/输出；
 - A——模拟；
 - AI——模拟输入；
 - AO——模拟输出；



- P——电源；
- G——地；
- [4]: 引脚复位状态，PU 指上拉，PD 指下拉，Z 指高阻态。
- [5]: PU/PD 表示内部存在上下拉电阻，且上下拉电阻可通过软件开启或关闭。
- [6]: 默认驱动能力大小。GPIO 默认驱动能力 20 mA，最大 50 mA。
- [7]: 电源供电。

引脚[1]	名称[2]	类型[3]	复位状态[4]	上下拉[5]	默认驱动 (mA) [6]	供电[7]
GPIO A						
56	PA0	I/O	Z	PU/PD	20	VCC33_IO
57	PA1	I/O	Z	PU/PD	20	VCC33_IO
58	PA2	I/O	Z	PU/PD	20	VCC33_IO
59	PA3	I/O	Z	PU/PD	20	VCC33_IO
60	PA4	I/O	Z	PU/PD	20	VCC33_IO
61	PA5	I/O	Z	PU/PD	20	VCC33_IO
62	PA8	I/O	Z	PU/PD	20	VCC33_IO
63	PA9	I/O	Z	PU/PD	20	VCC33_IO
64	PA10	I/O	PU	PU/PD	20	VCC33_IO
65	PA11	I/O	PU	PU/PD	20	VCC33_IO
GPIO B						
40	PB0	I/O	Z	PU/PD	20	VCC33_IO
41	PB1	I/O	Z	PU/PD	20	VCC33_IO
42	PB2	I/O	Z	PU/PD	20	VCC33_IO
43	PB3	I/O	Z	PU/PD	20	VCC33_IO
44	PB4	I/O	Z	PU/PD	20	VCC33_IO
45	PB5	I/O	Z	PU/PD	20	VCC33_IO
46	PB6	I/O	Z	PU/PD	20	VCC33_IO
47	PB7	I/O	Z	PU/PD	20	VCC33_IO
48	PB8	I/O	Z	PU/PD	20	VCC33_IO
49	PB9	I/O	Z	PU/PD	20	VCC33_IO
50	PB10	I/O	Z	PU/PD	20	VCC33_IO
51	PB11	I/O	Z	PU/PD	20	VCC33_IO
GPIO C						
66	PC0	I/O	Z	PU/PD	20	VCC33_IO
67	PC1	I/O	Z	PU/PD	20	VCC33_IO
68	PC2	I/O	Z	PU/PD	20	VCC33_IO
1	PC3	I/O	Z	PU/PD	20	VCC33_IO
2	PC4	I/O	Z	PU/PD	20	VCC33_IO
3	PC5	I/O	Z	PU/PD	20	VCC33_IO
4	PC6	I/O	Z	PU/PD	20	VCC33_IO
5	PC7	I/O	Z	PU/PD	20	VCC33_IO
GPIO D						
37	PD0	I/O	Z	PU/PD	20	VCC33_IO

引脚[1]	名称[2]	类型[3]	复位状态[4]	上下拉[5]	默认驱动 (mA) [6]	供电[7]
36	PD1	I/O	Z	PU/PD	20	VCC33_IO
35	PD2	I/O	Z	PU/PD	20	VCC33_IO
34	PD3	I/O	Z	PU/PD	20	VCC33_IO
33	PD4	I/O	Z	PU/PD	20	VCC33_IO
32	PD5	I/O	Z	PU/PD	20	VCC33_IO
31	PD6	I/O	Z	PU/PD	20	VCC33_IO
30	PD7	I/O	Z	PU/PD	20	VCC33_IO
26	PD8	I/O	Z	PU/PD	20	VCC33_IO
25	PD9	I/O	Z	PU/PD	20	VCC33_IO
24	PD10	I/O	Z	PU/PD	20	VCC33_IO
23	PD11	I/O	Z	PU/PD	20	VCC33_IO
22	PD12	I/O	Z	PU/PD	20	VCC33_IO
21	PD13	I/O	Z	PU/PD	20	VCC33_IO
20	PD14	I/O	Z	PU/PD	20	VCC33_IO
19	PD15	I/O	Z	PU/PD	20	VCC33_IO
18	PD16	I/O	Z	PU/PD	20	VCC33_IO
17	PD17	I/O	Z	PU/PD	20	VCC33_IO
16	PD18	I/O	Z	PU/PD	20	VCC33_IO
15	PD19	I/O	Z	PU/PD	20	VCC33_IO
14	PD20	I/O	Z	PU/PD	20	VCC33_IO
13	PD21	I/O	Z	PU/PD	20	VCC33_IO
11	PD22	I/O	Z	PU/PD	20	VCC33_IO
10	PD23	I/O	Z	PU/PD	20	VCC33_IO
9	PD24	I/O	Z	PU/PD	20	VCC33_IO
8	PD25	I/O	Z	PU/PD	20	VCC33_IO
7	PD26	I/O	Z	PU/PD	20	VCC33_IO
6	PD27	I/O	Z	PU/PD	20	VCC33_IO
GPIO E						
38	PE12	I/O	Z	PU/PD	20	LDO25
39	PE13	I/O	Z	PU/PD	20	LDO25
PLL						
52	RESETN	I	-	-	-	-
Power						
12, 29, 54	VCC33_IO	P	-	-	-	-
55	LDO25	P	-	-	-	-
28	LDO18	P	-	-	-	-
27, 53	VDD11_SYS	P	-	-	-	-
69	GND	P	-	-	-	-

5.3. 引脚复用

5.3.1. D12x 功能复用

表 5-1 D12x 功能复用表

引脚	功能 2	功能 3	功能 4	功能 5	功能 6	功能 8
PA0	GPADC0	IR_TX	I2C0_SCL	UART0_TX	-	CPU_NMI
PA1	GPADC1	IR_RX	I2C0_SDA	UART0_RX	-	DE_TE
PA2	GPADC2	CAN1_TX	I2C1_SCL	UART1_TX	-	UART2_CTS
PA3	GPADC3	CAN1_RX	I2C1_SDA	UART1_RX	-	UART2_RTS
PA4	GPADC4	-	CAN0_TX	UART2_TX	-	-
PA5	GPADC5	-	CAN0_RX	UART2_RX	-	-
PA8	RTP_XP	-	I2C0_SCL	-	-	-
PA9	RTP_YP	-	I2C0_SDA	-	-	-
PA10	RTP_XN	IR_RX	-	-	-	JTAG_MS
PA11	RTP_YN	IR_TX	-	-	-	JTAG_CK
PB0	SPI0_WP	SPI1_WP	-	UART0_TX	-	-
PB1	SPI0_MISO	SPI1_MISO	-	UART2_TX	-	-
PB2	SPI0_CS0	SPI1_CS	-	UART2_RX	-	-
PB3	SPI0_HOLD	SPI1_HOLD	-	UART0_RX	-	-
PB4	SPI0_CLK	SPI1_CLK	-	UART2_RTS	-	-
PB5	SPI0_MOSI	SPI1_MOSI	-	UART0_RTS	UART2_CTS	-
PB6	SDC0_CMD	SPI1_CS	-	UART1_TX	-	-
PB7	SDC0_CLK	SPI1_MISO	-	UART1_RX	-	-
PB8	SDC0_D3	SPI1_MOSI	-	UART1_RTS	UART3_CTS	-
PB9	SDC0_D0	SPI1_CLK	-	UART3_RTS	-	-
PB10	SDC0_D1	SPI1_HOLD	-	UART3_TX	-	-
PB11	SDC0_D2	SPI1_WP	-	UART3_RX	-	-
PC0	SDC1_D1	-	I2C0_SCL	UART3_RTS	-	JTAG_MS
PC1	SDC1_D0	-	-	-	-	-
PC2	SDC1_CLK	-	-	-	-	UART0_TX
PC3	SDC1_CMD	-	-	-	-	-
PC4	SDC1_D3	PWM0_A	I2C1_SCL	UART3_TX	-	UART0_RX
PC5	SDC1_D2	PWM0_B	I2C1_SDA	UART3_RX	-	JTAG_CK
PC6	SDC1_DET	PWM1_A	I2C0_SDA	UART3_CTS	DE_TE	IR_RX
PC7	-	PWM1_B	-	-	-	IR_TX
PD0	LCD_D0	CAN0_TX	I2C0_SCL	UART0_TX	-	-
PD1	LCD_D1	CAN0_RX	I2C0_SDA	UART0_RX	-	-
PD2	LCD_D2	CAN1_TX	I2C1_SCL	UART1_TX	-	-
PD3	LCD_D3	CAN1_RX	I2C1_SDA	UART1_RX	-	-
PD4	LCD_D4	-	I2C1_SCL	UART2_TX	-	-
PD5	LCD_D5	-	I2C1_SDA	UART2_RX	-	-
PD6	LCD_D6	-	PWM0_A	DSPK0	-	-
PD7	LCD_D7	-	PWM0_B	DSPK1	-	-

表 5-1 D12x 功能复用表 (续)

引脚	功能 2	功能 3	功能 4	功能 5	功能 6	功能 8
PD8	LCD_D8	-	PWM1_A	-	-	-
PD9	LCD_D9	-	-	-	-	-
PD10	LCD_D10	-	-	-	-	-
PD11	LCD_D11	-	-	-	-	-
PD12	LCD_D12	-	-	-	-	-
PD13	LCD_D13	-	-	-	-	-
PD14	LCD_D14	-	-	-	-	-
PD15	LCD_D15	-	-	-	-	-
PD16	LCD_D16	-	-	-	-	-
PD17	LCD_D17	-	-	-	-	-
PD18	LCD_D18	-	-	-	-	-
PD19	LCD_D19	-	-	-	-	-
PD20	LCD_D20	-	-	-	-	-
PD21	LCD_D21	-	-	-	-	-
PD22	LCD_D22	-	-	-	-	-
PD23	LCD_D23	-	-	-	-	-
PD24	LCD_DCLK	-	-	-	-	-
PD25	LCD_HS	-	-	-	PWM0_B	-
PD26	LCD_VS	-	-	-	PWM1_A	-
PD27	LCD_DE	-	-	-	PWM1_B	-
PE12	-	PWM1_B	-	DSPK1	-	-
PE13	-	PWM0_A	-	DSPK0	-	-

5.3.2. D12x QFN68 封装引脚说明

表 5-2 D12x QFN68 封装引脚说明

引脚	定义	类型	功能	备注说明
SYSTEM				
52	RESETN	INPUT	系统复位	内置约 30 KΩ 上拉电阻和去抖滤波，不使用可直接悬空，若外挂电容建议不超过 4.7 uF。
POWER				
12, 29, 54	VCC33_IO	POWER	芯片 IO 电压	3.3 V 供电
55	LDO25	POWER	内置 LDO 输出	内部模拟模块使用，外部接 1 uF 旁路电容。
28	LDO18	POWER	内置 LDO 输出	供内部 PSRAM 使用，若使用需做好芯片散热，外部接 1 uF 旁路电容。
27, 53	VDD11_SYS	POWER	芯片 Core 电压	1.1 V 供电，若使用内置 LDO1x，必须做好芯片散热
69	GND	POWER	-	GND 铜皮全连接，需多加过孔散热。

5.3.3. D121 QFN68 封装功能复用表

表 5-3 D121 QFN68 封装功能复用表

引脚	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 8
GPIO A							

表 5-3 D121 QFN68 封装功能复用表 (续)

引脚	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 8
56	GPADC0	IR_TX	I2C0_SCL	UART0_TX	-	-	CPU_NMI
57	GPADC1	IR_RX	I2C0_SDA	UART0_RX	-	-	DE_TE
58	GPADC2	-	I2C1_SCL	UART1_TX	-	-	UART2_CTS
59	GPADC3	-	I2C1_SDA	UART1_RX	-	-	UART2_RTS
60	GPADC4	-	-	UART2_TX	-	-	-
61	GPADC5	-	-	UART2_RX	-	-	-
62	RTP_XP	-	I2C0_SCL	-	-	-	-
63	RTP_YP	-	I2C0_SDA	-	-	-	-
64	RTP_XN	IR_RX	-	-	-	-	JTAG_MS
65	RTP_YN	IR_TX	-	-	-	-	JTAG_CK
GPIO B							
40	PB0	SPIO_WP	SPI1_WP	-	UART0_TX	-	-
41	PB1	SPIO_MISO	SPI1_MISO	-	UART2_TX	-	-
42	PB2	SPIO_CS0	SPI1_CS	-	UART2_RX	-	-
43	PB3	SPIO_HOLD	SPI1_HOLD	-	UART0_RX	-	-
44	PB4	SPIO_CLK	SPI1_CLK	-	UART2_RTS	-	-
45	PB5	SPIO_MOSI	SPI1_MOSI	-	UART0_RTS	UART2_CTS	-
46	PB6	SDC0_CMD	SPI1_CS	-	UART1_TX	-	-
47	PB7	SDC0_CLK	SPI1_MISO	-	UART1_RX	-	-
48	PB8	SDC0_D3	SPI1_MOSI	-	UART1_RTS	UART3_CTS	-
49	PB9	SDC0_D0	SPI1_CLK	-	UART3_RTS	-	-
50	PB10	SDC0_D1	SPI1_HOLD	-	UART3_TX	-	-
51	PB11	SDC0_D2	SPI1_WP	-	UART3_RX	-	-
GPIO C							
66	PC0	-	I2C0_SCL	UART3_RTS	-	-	JTAG_MS
67	PC1	-	-	-	-	-	-
68	PC2	-	-	-	-	-	UART0_TX
1	PC3	-	-	-	-	-	-
2	PC4	PWM0_A	I2C1_SCL	UART3_TX	-	-	UART0_RX
3	PC5	PWM0_B	I2C1_SDA	UART3_RX	-	-	JTAG_CK
4	PC6	PWM1_A	I2C0_SDA	UART3_CTS	DE_TE	-	IR_RX
5	PC7	PWM1_B	-	-	-	-	IR_TX
GPIO D							
37	LCD_D0	-	I2C0_SCL	UART0_TX	-	-	-
36	LCD_D1	-	I2C0_SDA	UART0_RX	-	-	-
35	LCD_D2	-	I2C1_SCL	UART1_TX	-	-	-
34	LCD_D3	-	I2C1_SDA	UART1_RX	-	-	-
33	LCD_D4	-	I2C1_SCL	UART2_TX	-	-	-
32	LCD_D5	-	I2C1_SDA	UART2_RX	-	-	-
31	LCD_D6	-	PWM0_A	DSPK0	-	-	-
30	LCD_D7	-	PWM0_B	DSPK1	-	-	-

表 5-3 D121 QFN68 封装功能复用表 (续)

引脚	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 8
26	LCD_D8	-	PWM1_A	-	-	-	-
25	LCD_D9	-	-	-	-	-	-
24	LCD_D10	-	-	-	-	-	-
23	LCD_D11	-	-	-	-	-	-
22	LCD_D12	-	-	-	-	-	-
21	LCD_D13	-	-	-	-	-	-
20	LCD_D14	-	-	-	-	-	-
19	LCD_D15	-	-	-	-	-	-
18	LCD_D16	-	-	-	-	-	-
17	LCD_D17	-	-	-	-	-	-
16	LCD_D18	-	-	-	-	-	-
15	LCD_D19	-	-	-	-	-	-
14	LCD_D20	-	-	-	-	-	-
13	LCD_D21	-	-	-	-	-	-
11	LCD_D22	-	-	-	-	-	-
10	LCD_D23	-	-	-	-	-	-
9	LCD_DCLK	-	-	-	-	-	-
8	PD25	LCD_HS	-	-	-	PWM0_B	-
7	PD26	LCD_VS	-	-	-	PWM1_A	-
6	PD27	LCD_DE	-	-	-	PWM1_B	-
GPIO E							
38	PE12	PWM1_B	-	DSPK1	-	-	-
39	PE13	PWM0_A	-	DSPK0	-	-	-

5.3.4. D122 QFN68 封装功能复用表

表 5-4 D122 QFN68 封装功能复用表

引脚	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 8
GPIO A							
56	GPADC0	IR_TX	I2C0_SCL	UART0_TX	-	-	CPU_NMI
57	GPADC1	IR_RX	I2C0_SDA	UART0_RX	-	-	DE_TE
58	GPADC2	CAN1_TX	I2C1_SCL	UART1_TX	-	-	UART2_CTS
59	GPADC3	CAN1_RX	I2C1_SDA	UART1_RX	-	-	UART2_RTS
60	GPADC4	-	CAN0_TX	UART2_TX	-	-	-
61	GPADC5	-	CAN0_RX	UART2_RX	-	-	-
62	RTP_XP	-	I2C0_SCL	-	-	-	-
63	RTP_YP	-	I2C0_SDA	-	-	-	-
64	RTP_XN	IR_RX	-	-	-	-	JTAG_MS
65	RTP_YN	IR_TX	-	-	-	-	JTAG_CK
GPIO B							
40	PB0	SPIO_WP	SPI1_WP	-	UART0_TX	-	-
41	PB1	SPIO_MISO	SPI1_MISO	-	UART2_TX	-	-

表 5-4 D122 QFN68 封装功能复用表 (续)

引脚	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 8
42	PB2	SPIO_CS0	SPI1_CS	-	UART2_RX	-	-
43	PB3	SPIO_HOLD	SPI1_HOLD	-	UART0_RX	-	-
44	PB4	SPIO_CLK	SPI1_CLK	-	UART2_RTS	-	-
45	PB5	SPIO_MOSI	SPI1_MOSI	-	UART0_RTS	UART2_CTS	-
46	PB6	SDC0_CMD	SPI1_CS	-	UART1_TX	-	-
47	PB7	SDC0_CLK	SPI1_MISO	-	UART1_RX	-	-
48	PB8	SDC0_D3	SPI1_MOSI	-	UART1_RTS	UART3_CTS	-
49	PB9	SDC0_D0	SPI1_CLK	-	UART3_RTS	-	-
50	PB10	SDC0_D1	SPI1_HOLD	-	UART3_TX	-	-
51	PB11	SDC0_D2	SPI1_WP	-	UART3_RX	-	-
GPIO C							
66	PC0	-	I2C0_SCL	UART3_RTS	-	-	JTAG_MS
67	PC1	-	-	-	-	-	-
68	PC2	-	-	-	-	-	UART0_TX
1	PC3	-	-	-	-	-	-
2	PC4	PWM0_A	I2C1_SCL	UART3_TX	-	-	UART0_RX
3	PC5	PWM0_B	I2C1_SDA	UART3_RX	-	-	JTAG_CK
4	PC6	PWM1_A	I2C0_SDA	UART3_CTS	DE_TE	-	IR_RX
5	PC7	PWM1_B	-	-	-	-	IR_TX
GPIO D							
37	LCD_D0	CAN0_TX	I2C0_SCL	UART0_TX	-	-	-
36	LCD_D1	CAN0_RX	I2C0_SDA	UART0_RX	-	-	-
35	LCD_D2	CAN1_TX	I2C1_SCL	UART1_TX	-	-	-
34	LCD_D3	CAN1_RX	I2C1_SDA	UART1_RX	-	-	-
33	LCD_D4	-	I2C1_SCL	UART2_TX	-	-	-
32	LCD_D5	-	I2C1_SDA	UART2_RX	-	-	-
31	LCD_D6	-	PWM0_A	DSPK0	-	-	-
30	LCD_D7	-	PWM0_B	DSPK1	-	-	-
26	LCD_D8	-	PWM1_A	-	-	-	-
25	LCD_D9	-	-	-	-	-	-
24	LCD_D10	-	-	-	-	-	-
23	LCD_D11	-	-	-	-	-	-
22	LCD_D12	-	-	-	-	-	-
21	LCD_D13	-	-	-	-	-	-
20	LCD_D14	-	-	-	-	-	-
19	LCD_D15	-	-	-	-	-	-
18	LCD_D16	-	-	-	-	-	-
17	LCD_D17	-	-	-	-	-	-
16	LCD_D18	-	-	-	-	-	-
15	LCD_D19	-	-	-	-	-	-
14	LCD_D20	-	-	-	-	-	-

表 5-4 D122 QFN68 封装功能复用表 (续)

引脚	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 8
13	LCD_D21	-	-	-	-	-	-
11	LCD_D22	-	-	-	-	-	-
10	LCD_D23	-	-	-	-	-	-
9	LCD_DCLK	-	-	-	-	-	-
8	PD25	LCD_HS	-	-	-	PWM0_B	-
7	PD26	LCD_VS	-	-	-	PWM1_A	-
6	PD27	LCD_DE	-	-	-	PWM1_B	-
GPIO E							
38	PE12	PWM1_B	-	DSPK1	-	-	-
39	PE13	PWM0_A	-	DSPK0	-	-	-

5.4. 引脚描述

引脚/信号名称	描述	类型
SYSTEM		
RESETN	复位引脚	I
RTP		
RTP_XP	RTP X 方向正端	AI
RTP_YP	RTP Y 方向正端	AI
RTP_XN	RTP X 方向负端	AI
RTP_YN	RTP Y 方向负端	AI
ADC, x = 0~5		
GPADCx	模拟采样信号输入	AI
PWM, x = 0~1		
PWMx_A	PWMx A 通道	O
PWMx_B	PWMx B 通道	O
QSPI, x = 0~1		
SPIx_HOLD	SPIx 保持信号, 低电平有效	I/O
SPIx_WP	SPIx 写保护信号, 低电平有效	I/O
SPIx_CS	SPIx 片选信号, 低电平有效	I/O
SPIx_CLK	SPIx 时钟信号	I/O
SPIx_MOSI	SPIx 主机数据输出, 从机数据输入	I/O
SPIx_MISO	SPIx 主机数据输入, 从机数据输出	I/O
UART, x = 0~3		
UARTx_TX	UARTx 数据发送	O
UARTx_RX	UARTx 数据接收	I
UARTx_CTS	UARTx 发送允许	I
UARTx_RTS	UARTx 发送请求	O
I2C, x = 0~1		
I2Cx_SCL	I2Cx 串行时钟信号	I/O
I2Cx_SDA	I2Cx 串行数据信号	I/O

引脚/信号名称	描述	类型
CAN		
CAN0_TX	CAN0 数据发送, 外接 CAN 总线收发器	O
CAN0_RX	CAN0 数据接收, 外接 CAN 总线收发器	I
CAN1_TX	CAN1 数据发送, 外接 CAN 总线收发器	O
CAN1_RX	CAN1 数据接收, 外接 CAN 总线收发器	I
CIR		
IR_TX	红外数据发送	O
IR_RX	红外数据接收	I
DSPK		
DSPK0	Speaker 信号输出通道 0	O
DSPK1	Speaker 信号输出通道 1	O
SDC, x = 0~1		
SDCx_CMD	SDC0 控制信号	I/O
SDCx_CLK	SDC0 时钟信号	O
SDCx_D[3:0]	SDC0 数据输入输出	I/O
LCD		
LCD_D[23:0]	LCD 数据输出	O
LCD_DCLK	LCD 时钟信号	O
LCD_HS	LCD 行场同步	O
LCD_VS	LCD 列场同步	O
LCD_DE	LCD 数据使能	O

5.5. 封装尺寸

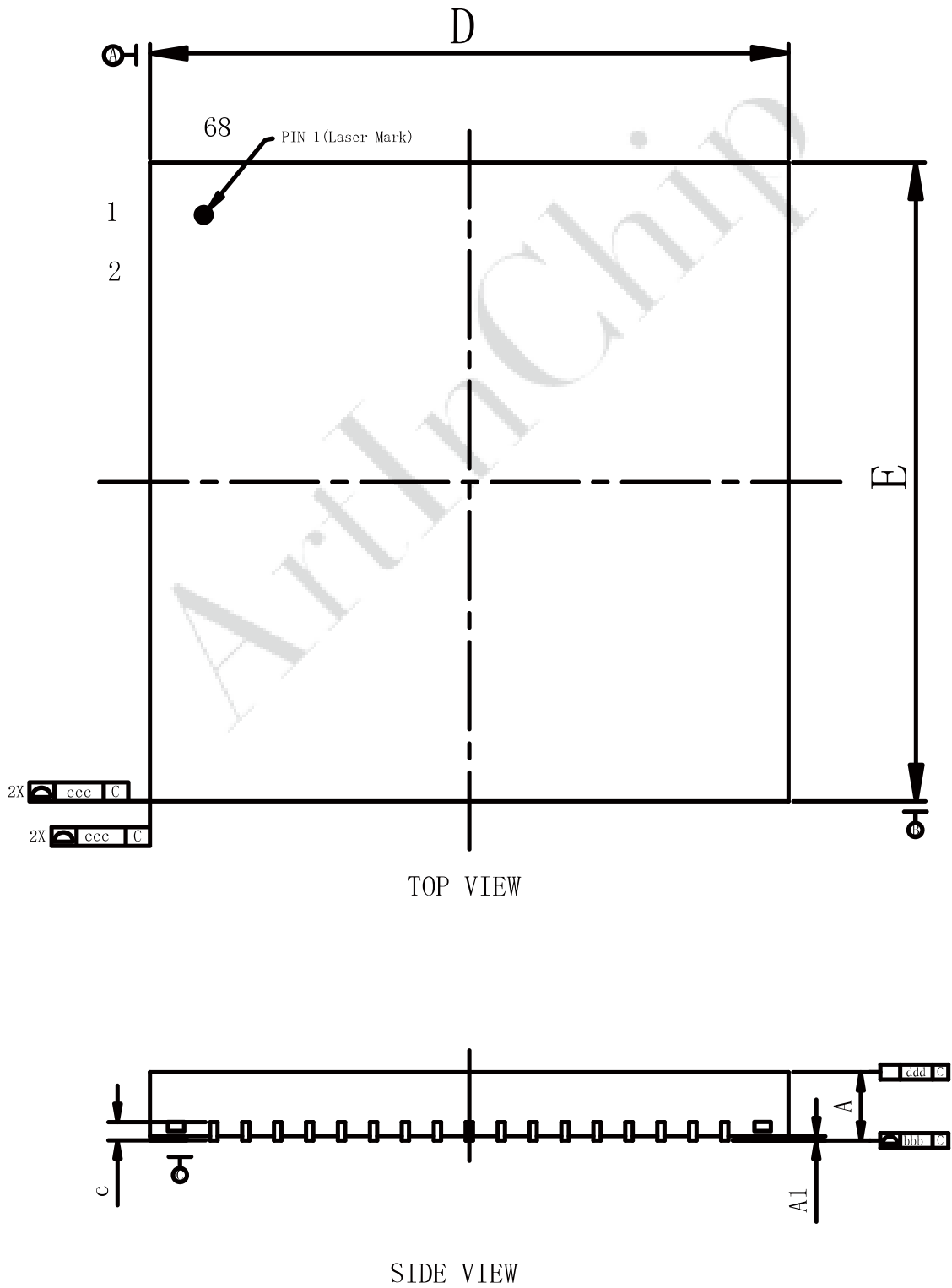
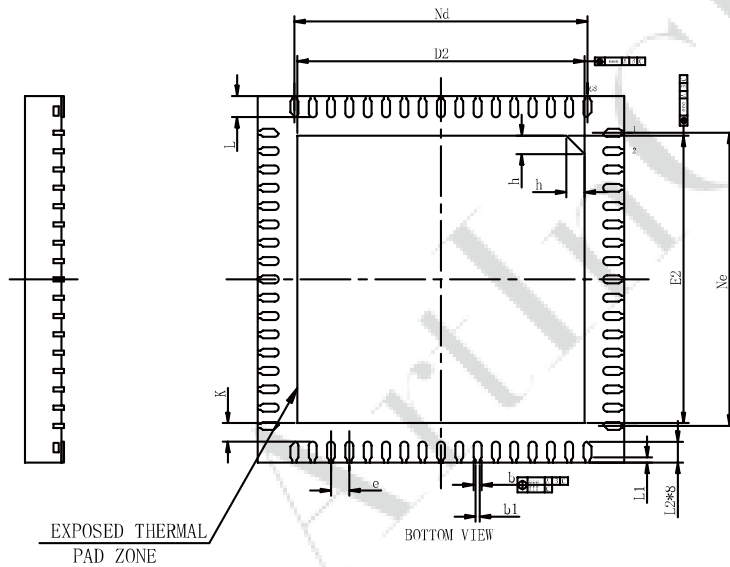


图 5-1 QFN68 封装尺寸图 TOP



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.80	0.85	0.90
A1	—	0.02	0.05
b	0.10	0.15	0.20
b1	0.08REF		
c	0.18	0.20	0.25
D	6.90	7.00	7.10
D2	5.39	5.49	5.59
e	0.35BSC		
Nd	5.60BSC		
E	6.90	7.00	7.10
E2	5.39	5.49	5.59
Ne	5.60BSC		
L	0.35	0.40	0.45
L1	0.10REF		
L2	0.30	0.40	0.50
K	0.20	—	—
h	0.30	0.35	0.40
aaa	0.07		
bbb	0.08		
ccc	0.10		
ddd	0.10		
eee	0.10		
fff	0.05		

Δ

图 5-2 QFN68 封装尺寸图 BOTTOM